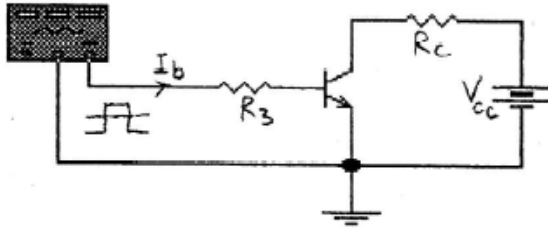




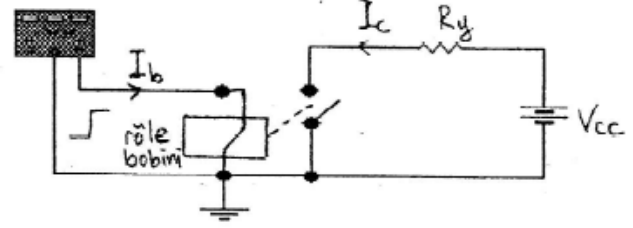
TRANSİSTÖRÜN ANAHTAR DAVRANIŞLARI

1. Giriş

Şekil 1.a'da verilen emetör montajlı transistör V_{cc} kaynağını R_y yüküne bağlayan bir anahtar olarak kullanılmıştır. Şekil 1.b 'de ise aynı V_{cc} kaynağını, R_y yüküne bağlayan röleli bir anahtar (veya mekanik bir anahtar) verilmiştir. Burada anahtarın tanımı şöyle olur: Eğer anahtar açık ise V_{cc} kaynak geriliminin tümü anahtar uçlarına düşer ve I_c akımı sıfırdır. Eğer anahtar kapalı ise anahtar uçlarına düşen gerilim sıfır olur. Mekanik anahtarlarda, anahtarı açıp kapayan ya bir kontrol akımıdır (rölede olduğu gibi) veya bir mekanik eldir.



Şekil 1.a Mekanik anahtar



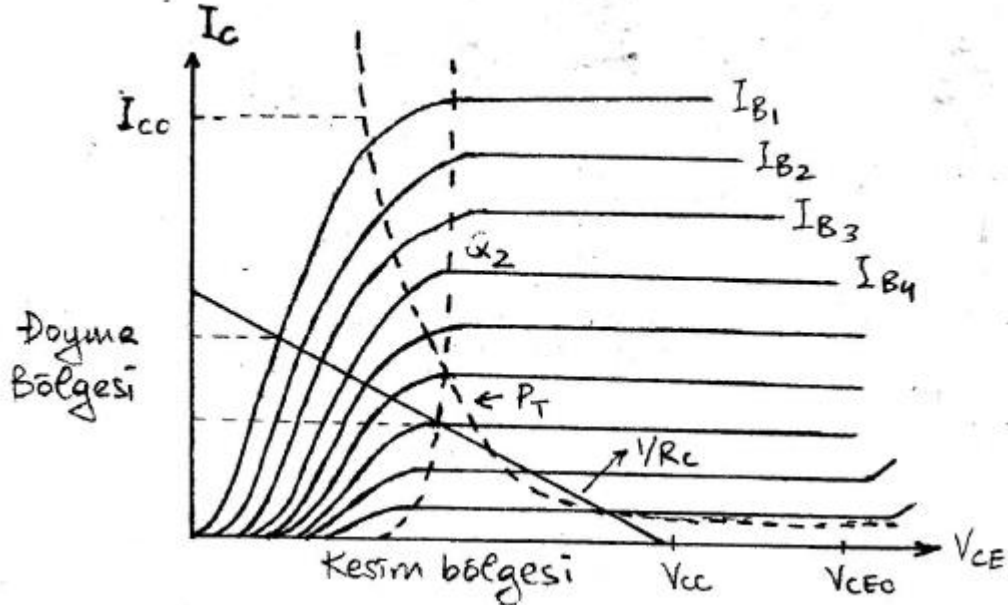
Şekil 2.a Röleli anahtar

Mekanik anahtarlar genelde ideal anahtar tanımına yakın özellikler gösterirler. Buna karşın hızları düşüktür ve aktarma (açma-kapama) zamanında çeşitli sorunlar ortaya çıkarırlar. Eğer transistör anahtar olarak kullanılacaksa, yukarıda verilen anahtar tanımına uygun davranışlar beklenir. Bu deneyde sürekli halde ve geçiş anlarında transistörlü anahtarın davranışları incelenecektir. Başlangıçta bir miktar kuramsal bilgi verilecek, sonra da bu bilgilerin deneysel incelemesi yapılacaktır.

2. Transistörlü Anahtarlar

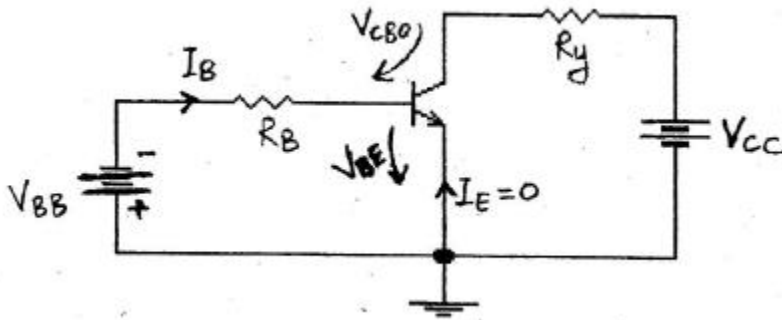
Ortak emetörlü bir transistor ün çıkış karakteristik eğrileri Şekil 2'de verilmiştir. Transistörün anahtar olarak kullanıldığı Şekil 1.a'daki devre için bu karakteristiği bölümlerse, üç ayrı çalışma bölgesi seçmek yararlı olur: kesim, aktif çalışma ve doyma bölgeleri.

Kesim bölgesinde transistor ün emetör ve kollektör eklemleri tıkama yönünde kutuplanmıştır. Bu nedenle çok küçük olan tıkama yönü I_{CBO} ve I_{EBO} akımları akar. $I_E = 0$ veya negatif olur. $I_C = I_{CBO}$ 'dur. Bu çalışma koşulunda anahtarımız açık devredir.



Şekil 2. Ortak emetörlü transistörün çıkış özgeğirleri

Emetör eklemi iletim yönünde, kolektör eklemi tıkama yönünde kutuplanırsa, transistörün I_C çıkış akımı I_B giriş akımına göre oldukça doğrusal davranır. Bu çalışma koşulunu tüm doğrusal (lineer) yükselteçlerde sağlarız. Oysa transistörlü anahtar uygulamalarında bu bölgeyi mümkün olduğunca çabuk geçmek isteriz. Bu durumda devrenin kesim ve doyma bölgelerinde bulunan, iki adet çalışma noktası vardır. Q_1 ve Q_2 , $V_{CB} \leq 0$ ve $I_E > 0$ olan bölge de transistörün doyma bölgesi olur. Bu bölgede hem emetör hem de kolektör eklemeleri iletim yönünde kutuplanmıştır. Bu durumda V_{CE} geriliminin değeri transistörün eşik geriliminden küçüktür. Çünkü emetör montajlı Şekil 1.a'daki devrede $V_{CE} = V_{CB} + V_{BE}$ olur ve V_{CB} de negatiftir.



Şekil 3. Kesim bölgesinde anahtar devresi

Transistörde ($I_C \approx 0$) olunca, kesim bölgesindedir denir. Devrenin I_C akımı

$$I_C = -\alpha I_E + I_{C0}$$

dır. Burada $I_B = 0$ iken $I_C = I_{C0}$ olur. Oysa transistörün bazını açık bırakırsak $I_B = 0$ olmasına karşın $I_E = -I_C$ olur ve buradan da yukarıdaki eşitlik gereği I_C akımı,

$$I_c = -I_E = \frac{I_{CO}}{1-\alpha}$$

olur. α 'nın 1'e çok yakın olduğu düşünülürse I_C akımının da hayli büyük değerde olabileceği ortaya çıkar. Transistörlü anahtar devrelerinde bazın hiçbir zaman boşa gezmemesi sağlanmalıdır. Bu durumda da I_{CO} çok küçüktür ve transistör kesime yakın bölgede olur. Kesim bölgesinde bulunan Şekil 3'teki anahtar devresinde ısı kararsızlığın olabildiği özel durumları inceleyelim. Şekil 3'de transistörün tam kesim noktası eşliğinde bulunduğunu düşünelim. Bu durumda $I_E = 0$ olur, negatif yönde akım akmaz, $I_B = -I_{CBO}$ 'dur. Oysa transistörün kesimde olması için bu devrede baz-emetör gerilimi $V_{BE} \leq -0.1 \text{ V (Ge)}$, $V_{BE} \leq 0.3 \text{ V (Si)}$ transistör için) olmalıdır. Bu durumda $V_{BE} = -V_{BB} + R_B I_{CBO} \leq 0.3 \text{ (Si)}$ şartı sağlanmalıdır. Bazı uç koşullarda V_{BE} gerilimini transistörün iletim eşliğine getirecek kadar büyük değerli R_B veya I_{CB} olabilir, bu durumda "ısı kaçma" mümkün olur. Bu özel durum dışında kesimdeki bir transistörün ısı sürüklenmesi söz konusu olamaz. Transistörlü bir anahtar devresi gerçekleştiği zaman V_{CB} , V_{CE} ve V_{EB} gerilimlerinin müsaade edilen maksimum değerlerini aşmaması sağlanmalıdır. Emetör montajında maksimum V_{CEO} gerilimi genellikle V_{CBO} 'dan daha küçüktür. Kollektör-emetör kırılmasının olmaması için anahtar açma geriliminin V_{CEO} 'dan büyük olmamalıdır.

Doyma bölgesinde transistörlü anahtarın kapalı olduğu belirtilmişti. Şimdi, bir transistörün ne zaman doymada olduğunu belirten iki tanımı verelim.

Eğer bir anahtar devresindeki transistörün I_C ve I_B akımları birbirlerinden bağımsız olarak devre tarafından tanımlanıyorsa, yani $I_B \geq \frac{I_C}{h_{FE}}$ ise transistör doymadadır denir.

Eğer bir anahtar devresindeki transistörün V_{CB} gerilimi npn transistör için negatif (pnp transistör için pozitif) ise o transistör doymadadır.

Doymada olan bir transistörün I_B baz akımı artırılarak V_{CEsat} gerilimi bir miktar daha küçültülebilir. Si transistörlerde bu gerilim birkaç yüz mV ($<300\text{mV}$), Ge transistörlerde birkaç on mV kadardır. Diğer taraftan transistörün yapım tekniğine ve katkı yoğunluklarına bağlı olarak da değişir.

Transistörlü bir anahtar devresinde Şekil 2'deki I_{Cmax} maksimum kolektör akımı ve V_{CEO} gerilimi aşılmadığı müddetçe yük doğrusunun transistörün güç hiperbolünü kesmesi sorun teşkil etmeyecektir. Çünkü transistörün kesimden doymaya, doymadan kesime bu yük doğrusu üzerinden geçişi çok hızlıdır. Doğal olarak bu hız giriş işaretine ve anahtar hızına bağlı olacaktır. Hiçbir zaman toplam kayıp ısıl gücünün P_T gücünden fazla olmamasına dikkat edilmelidir.

3. Anahtarlama Anında Transistör Davranışları

Şekil 2'de emetör montajlı bir transistörlü kuvvetlendirici ve çıkış karakteristiği verilmiştir. Bu kuvvetlendirici girişine uygulanan $v_i(t)$ darbelerinin V_1 gerilim seviyesi transistörü Q_1 kesim noktasına, V_2 gerilimi seviyesi Q_2 doyma noktasına götürecektir. Q_1 noktasından Q_2 çalışma noktasına geçiş (lineer çalışma aralığı) çok hızlıdır. Transistörün bu uygulamasına "transistörün anahtar olarak kullanılması" veya "darbe kuvvetlendirici" denir. Buradaki amacımız transistörlü anahtarların geçiş özellikleri ve çalışma hızlarının iyileştirilmesi için gerekli tedbirlerin kuramsal ve deneysel olarak incelemektir.

Şekil 4'te, Şekil 1'de verilen transistörlü anahtarın giriş-çıkış gerilim ve akım dalga şekilleri görülmektedir. Transistörün kolektör akımının maksimum değeri eğer $V_{CEsat} \approx 0$ farz edilirse, $I_{CS} = \frac{V_{CC}}{R_C}$ olur. Kollektör akımının 0 dan $0.1I_{CS}$ 'ye kadar geçen süreye " t_d " gecikme

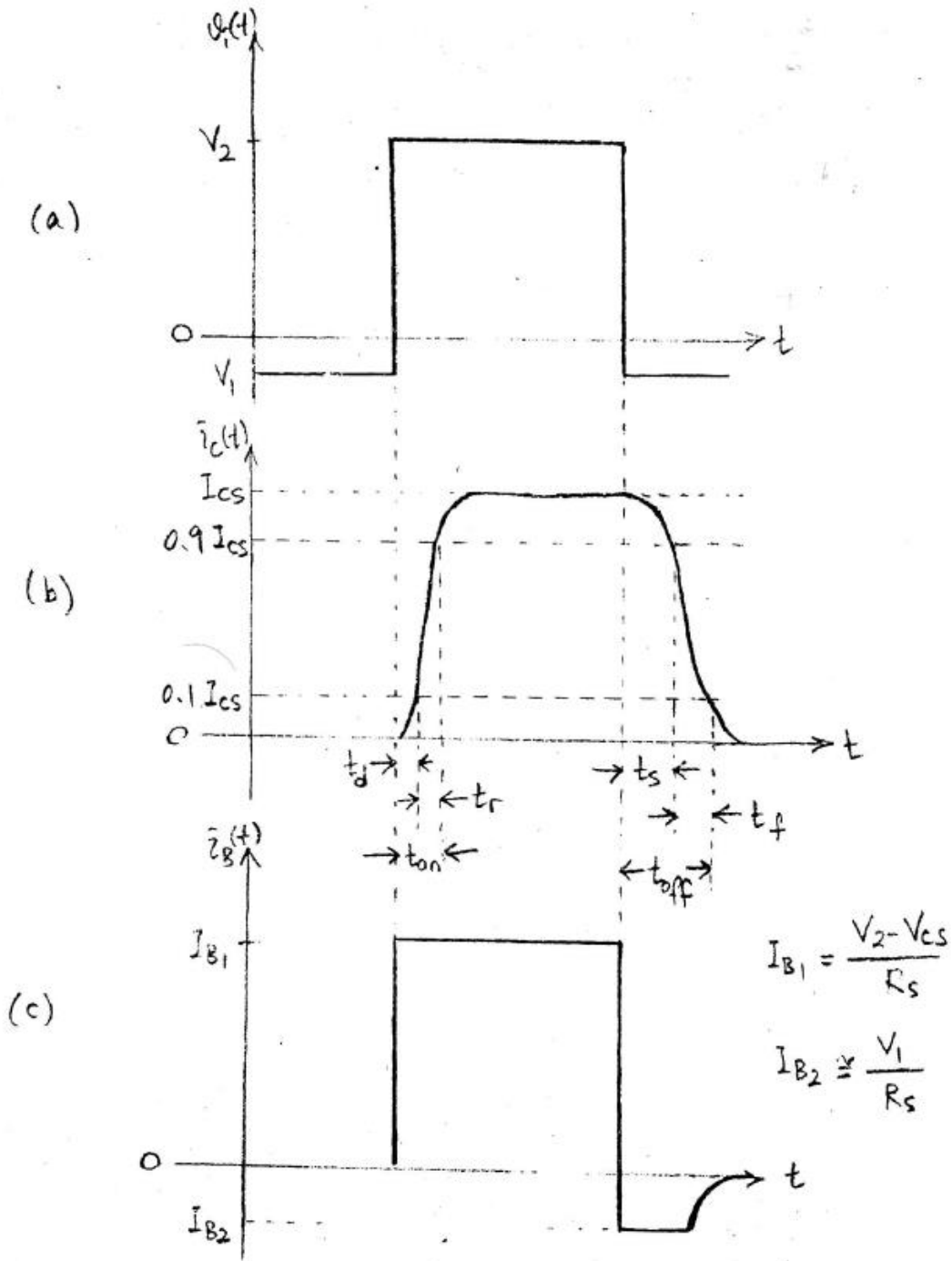
süresi denir. Akım dalga şeklinin $0.1I_{CS}$ 'den $0.9I_{CS}$ 'ye kadar geçen süreye “ t_r ” yükselme zamanı adı verilir. Tıkamadaki transistörün “ toplam ilettime geçme zamanı “ ise “ t_{on} ” gecikme ve yükselme zamanlarının toplamı olur ($t_{on} \approx t_d + t_r$) . Giriş $v_i(t)$ gerilimi V_2 seviyesinden V_1 seviyesine gittiği anda çıkış “ I_c ” akımı hemen sıfıra gitmez. “ t_s ” kadar bir süre sonra ancak $0.9 I_{CS}$ 'ye düşer. Bu süreye darbe üstü uzaması denir. I_c kollektör akımının $0.9 I_{CS}$ 'den $0.1 I_{CS}$ 'ye düşene kadar geçen süreye “ t_f ” düşme zamanı adı verilir. Düşme zamanı ile darbe üstü uzama sürelerinin toplamına “ t_{off} ” “açma zamanı” adı verilir. Aşağıda bu bozulmaların fiziksel kaynakları ve düzeltilme yolları incelenecektir.

4. Gecikme Zamanı

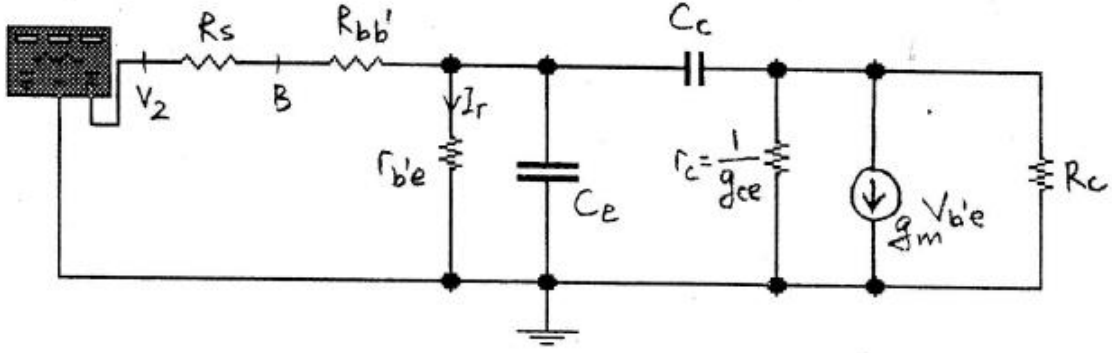
t_d gecikme zamanı üç ayrı etkenden kaynaklanmaktadır. Birincisi, transistörün girişine uygulanan $v_i(t)$ sürücü işareti sonlu bir zamanda eklem sığasını yükler ve kesimden aktif bölgeye getirir. İkinci etken transistör aktif bölge eşiğine geldiği zaman dahi azınlık taşıyıcılarının emetör ekleminden baz eklemine geçişi, oradan da kolektör içlerine yayılması için de sonlu bir zamana ihtiyaç vardır. Üçüncü neden kolektör akımının $0.1I_{CS}$ 'ye kadar yükselmesi için de belirli bir zaman geçer.

Transistörlü anahtarın t_d gecikmesindeki birinci etkeni incelemek için, Şekil 1.a'da verilen devrenin eşdeğerini transistörün π modeli ile verelim (Şekil 5). Burada $R'_s = R_s + r'_{bb}$ toplam baz direnci olur. Baz-emetör arasına V_1 negatif gerilimi geldiği zaman r_{be} direnci çok büyük olur ve ihmal edilir. $\rho_m V_{be}'$ kontrol akım kaynağında $\rho_m = 0$ olur. Bu özelleştirilmiş eşdeğer Şekil 5.b'de verilmiştir.

Emetör difüzyon sığası doğrudan doğruya çalışma noktasındaki emetör akımı ile orantılı olur. Oysa şu anda transistör kesimdedir ve difüzyon sığası ihmal edilebilir. Bu durumda C_e sığası sadece emetör eklemine geçiş sığası C_{Te} 'den ibaret olur. Bu sığa, kollektör açık devre yapılırsa baz-emetör arasında gözlenebilir. Baz-kollektör arasındaki sığa C_c de sadece, baz-kollektör geçiş sığası C_{TC} 'den ibaret olur.



Şekil 4. Sürücü darbeleri ile $i_c(t)$ kolektör akımı ve $i_B(t)$ baz akımı dalga şekilleri



Şekil 5.a Transistörün π modeli

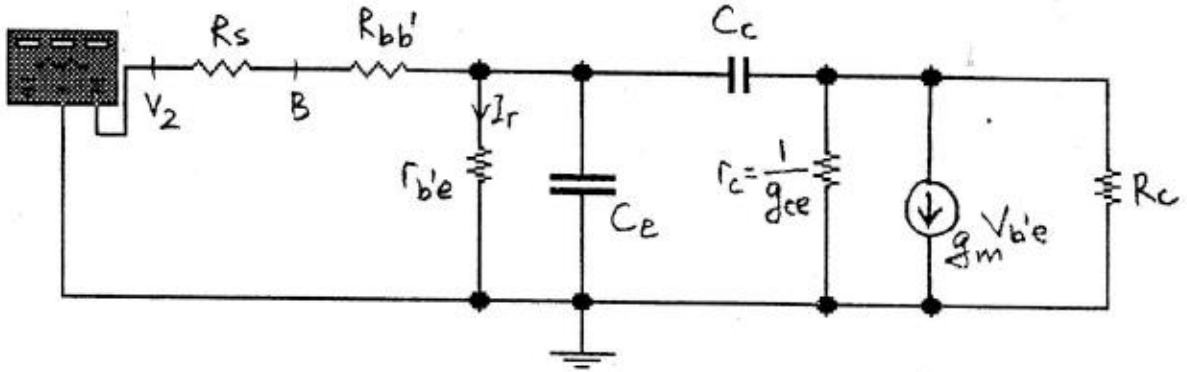
$$g_m = \frac{h_{fe} |I_E|}{1 + h_{fe} \eta V_T} \quad g_m \approx \frac{|I_g|}{26mV} \text{ mho}$$

Si transistörlerde

$$C_e \cong \frac{g_m}{2\pi f_T}$$

$C_c = C_{ob}$ diye de adlandırılır.

$$g_{ce} = h_{ce} - (1 + h_{fe})g_{b'c} \quad r_{b'c} = \frac{h_{fe}}{g_m}$$



Şekil 5.b

Kollektörde akım kaynağı sıfır olduğundan hiçbir değişim olmaz. Bu nedenle de kolektör toprağa kısa devre edilmiştir (Şekil 5.a).

Baz-emetör C_{Te} kapasitesinin dolma zamanı kolayca hesaplanabilir. Bu devrede;

$$V_{b'e} = V_2 + (V_1 - V_2)e^{-t/T_i} \quad T_i = R_s' (C_{ib} + C_{ab})$$

Baz-emetör eklemi geriliminin $V_{be} = 0.5 \text{ V}$ 'ta iletim eşliğine gelmesi için geçen zamanı bu devre modelinden,

$$t_{d1} = R_{s'}(C_{ib} + C_{ob}) \ln \frac{V_2 - V_1}{V_2 - 0.5}$$

Eğer $V_2 \gg 0.5V$, $V_2 \gg V_1$ ise $t_{d1} \rightarrow 0$ olur. Demek ki bu zamanı kısaltmak için tutulması gereken yol, girişteki darbenin son değerini eşik gerilimi “ V_e ” değerine göre çok büyük yapmaktır. Gecikme zamanının diğer nedeni olan azınlık taşıyıcılarının baz bölgesini geçiş zamanı olan t_{d2} doğrudan transistörün yapımından ve fiziksel özelliklerinden kaynaklanan bir olgudur. Devremizi geliştirerek değerini değiştiremeyiz. Bu gecikme transistörün ortak emetörlü kazanç bant genişliği çarpımı olan $f_T = \frac{w_T}{2\pi}$ cinsinden

$$t_{d2} \cong \frac{1}{3} \frac{2\pi}{w_T} \text{ olur.}$$

5. Yükselme Zamanı

Yükselme zamanı Şekil 5.a’da verilen devre arcılığı ile C_e sığasının girişten ve C_c sığasını R_c üzerinden doldurulması için geçen toplam zamandır. “ I_c ” eğrisinin şekli $h_{fe} I_{B1}$ ’e doğru üstel olarak yükselen bir akım dalga şekli olduğundan, Şekil 6 eğrisini verir ve

$$I_c = h_{fe} I_{B1} (1 - e^{-t/T_r})$$

olur. Burada,

$$T_r = h_{fe} \left(\frac{1}{w_T} + C_c + R_c \right) \quad h_{fe} I_{BA} = I_{cs} \cong \frac{V_{CC}}{R_c}$$

dir. Q_2 noktasında yükselme zamanı olarak kolektör akımının 0.1 I_{cs} ‘den 0.9 I_{cs} ’ye yükselene kadar geçen süre olarak tanımlanmıştır. Bu süre hesaplanırsa,

$$t_{0.1} = T_r \ln \frac{1}{1 - \frac{0.1}{N_1}} \quad N_1 \cong \frac{h_{fe} I_{B1}}{I_{CS}} \quad t_{0.9} = T_r \ln \frac{1}{1 - \frac{0.9}{N_1}}$$

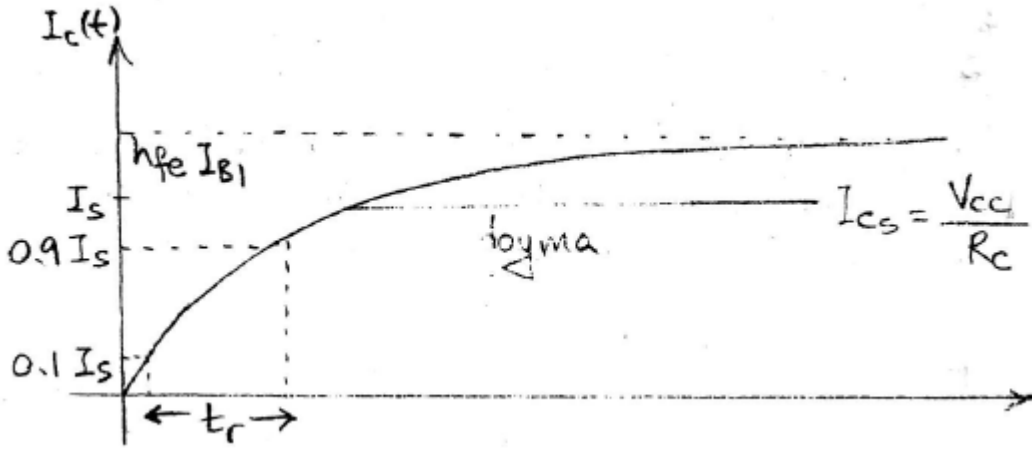
$$t_r = t_{0.9} = T_r \ln \frac{1 - 0.1/N_1}{1 - 0.9/N_1}$$

ln serisinden yaklaşık ifade,

$$t_r = \frac{0.8 T_r}{N_1} = 0.8 \frac{T_r I_{CS}}{h_{fe} I_{B1}}$$

olarak bulunur.

Burada transistörün I_{B1} akımı I_{CS} ’den bağımsızdır. I_{CS} de, R_c direnci tarafından belirlenir. Demek ki yükselme zamanını küçültmek için transistörün aşırı doymaya sürülmesi ($h_{fe} I_{B1} \gg I_{CS}$) yükselme zamanını kısaltacaktır. Bu olguyu sağlamak için sürücü darbe olan “ $v_i(t)$ ” nin V_2 gerilimi de büyüyeceği için “ t_d ” gecikme zamanı da yükselme zamanına paralel olarak küçülür. Sonuçta toplam “iletime geçme zamanı” kısalmır.

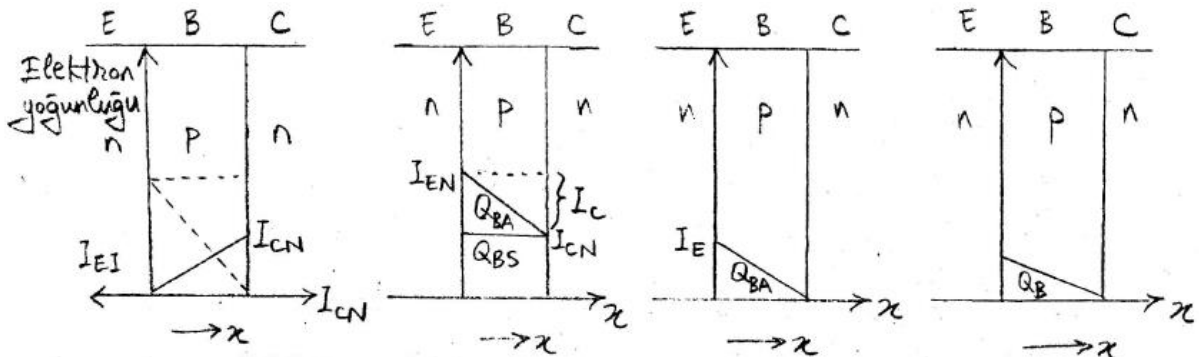


Şekil 6. Kollektör akımı yükselme zamanını veren eğri.

6. Darbe Üstü Uzaması

Transistörlü bir anahtar iletme sokulduğu zaman, transistör doymadadır. Bundan önce yükselme zamanının iyileştirilmesinde görüldüğü gibi, aşırı doyma yükselme zamanını kısaltır. Oysa Şekil 4.b'ye dikkat edilirse uyarıcı işaret sıfıra döndüğü halde, transistörün kolektör akımı sıfıra dönmez. “ t_s ” kadar süre sonra cevap verir. Bu süreyi “darbe üstü uzaması” olarak tanımlamıştık. Darbe üstü uzamasının fiziksel kökeni, baz bölgesinde biriken uzay yükünün, emetör enjeksiyonu bittikten sonra da kolektör içlerine taşınacak azınlık taşıyıcısına sahip olmasından kaynaklanır. Şimdi lineer çalışma koşullarında ve aşırı doymada baz bölgesindeki yük dağılımını inceleyerek, darbe üstü uzamasının nedenini ve nasıl azaltılacağını araştıralım.

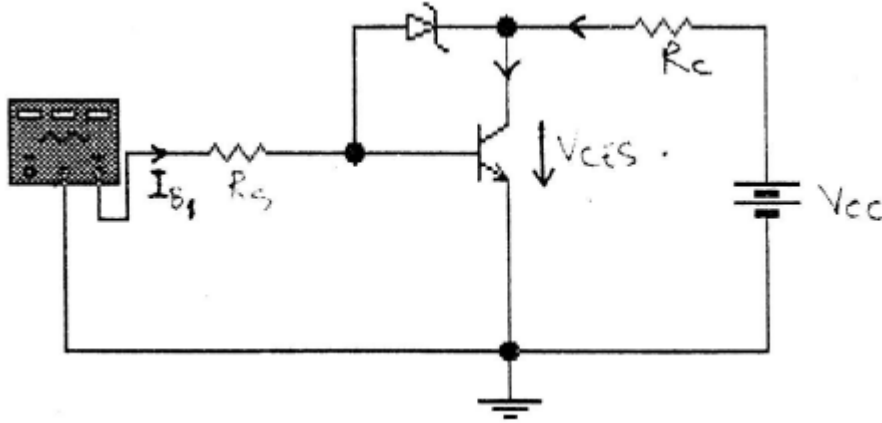
Şekil 7’de, Şekil 1.a’da verilen transistörün çeşitli çalışma koşullarında, baz bölgesindeki yük dağılımının değişimi, doymadan kesime geçişi esnasında adım adım verilmiştir.



Şekil 7. npn tipi transistörün doymadan kesime geçişi esnasında bazdaki elektron yoğunluğunun değişimi

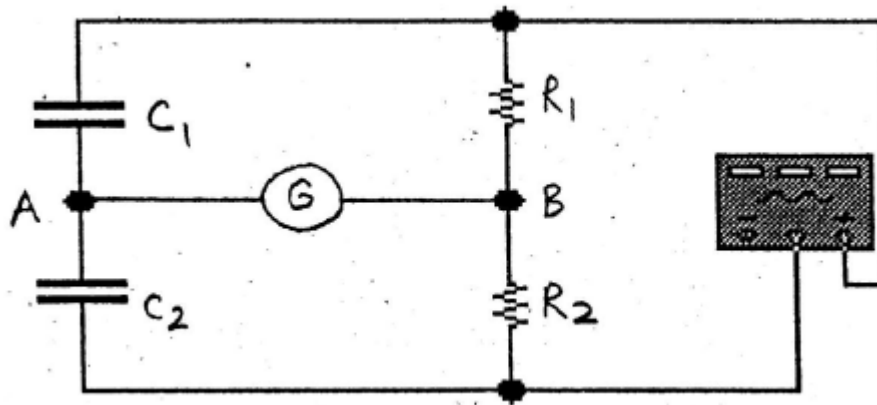
Bu diyagramda gösterildiği gibi Şekil 7.a’da transistör doymadadır. Baz bölgesine emetörden I_{EN} elektron yoğunluğu enjekte edilirken, kolektörden de I_{EN} elektron yoğunluğu enjekte edilir. Bunun sonucu, Şekil 7.b’de görüldüğü gibi bazda Q_{BS} dinamik yükü oluşur. Bu yük sürekli doğup kaybolan türden bir yükür. Eğer transistörü doymadan kesime göndermek

istersek, önce bu Q_{BS} yükü boşalır. Bu süre içerisinde transistör doymada kalmaya devam eder. Bu süreye daha önce “darbe üstü uzaması” denilmiştir. Daha sonra Şekil 7.c ve Şekil 7.d’deki gibi baz bölgesi Q_{BA} yükünün boşalması gerekir. Fakat bu olgu lineer olur ve yükselme anındaki C_{Te} difüzyon sığasının boşalmasına karşı düşer. Demek ki transistörün kolektör bölgesinden baza taşıyıcı enjeksiyonu önlenirse, darbe üstü uzaması kısalmır. Bunun için izlenen yol ise Şekil 8’de verilen devrede olduğu gibidir. Burada kullanılan diyotun $V_{Deş}$ gerilimi çok küçük olmalıdır. Bu da ancak Schottky türü diyotlarla sağlanır. Burada diyotun görevi, V_c gerilimi negatif olunca iletken olmak ve I_B akımını azaltmaktır. Bu sayede aşırı doyma olayı önlenmiş olur. Şekil 2’de transistör Q_2 noktasında ve I_{R4} baz akımında çalışır.



Şekil 8. Darbe üstü uzamasını önlemek için kullanılan diyotlu devre

Darbe devrelerinde, darbenin düşme ve yükselme zamanlarını iyileştirmek için köprü modelini yaratalım. Bu amaçla Şekil 9’daki köprüyü ve Şekil 5’deki eşdeğer devreyi karşılaştırırsak, Şekil 10.a’daki C sığası ile belirli bir dengeleme koşulunun elde edilebileceğini anlarız. Bununla beraber transistörün r_{bh} baz gövde direnci Şekil 10.b’de görüldüğü gibi bir hata elemanı olarak gelir.

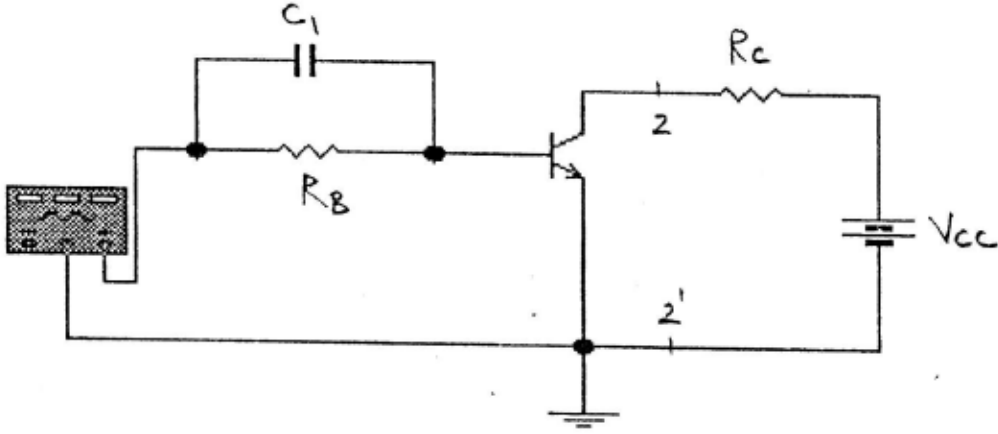


Şekil 9. Köprü ve denge koşulu

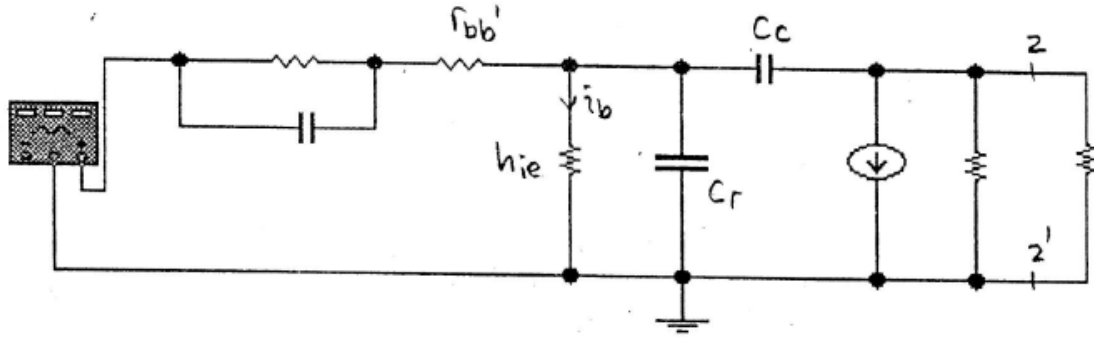
$$\frac{R_1}{R_2} = \frac{X_{C1}}{X_{C2}}$$

olursa A ve B eş gerilimde olur. X_{CD} eşdeğer difüzyon sığası reaktansı ise

$$X_{C1} = \frac{X_{CD} R_B}{h_{ie}}$$



Şekil 10.a



Şekil 10.b Lineer bölgede devre eşdeğeri

Yukarıda verilen eşdeğer devre ve çözüm sadece kesim ve lineer aralıkta geçerlidir. Doyma durumunda I_B akımı arttıkça C_D büyür. Bu nedenle yük dengeleme işlemi yapılmalıdır. Transistör katalogları I_{BS} akımına bağlı olarak Q_T yükünü verirler ($Q_T = Q_{BS} + Q_{BA}$).

En uygun C_1 sığası;

$$\frac{Q_T}{I_{BS}} = T_s = R_{\epsilon B1}$$

olmalıdır. $Q_T = C_1 V$; V giriş darbe gerilimi bağıntılarından bulunan R, C olur. Eğer Şekil 8'deki tedbir ile aşırı doyma önlenirse, köprü modeli ile çözümleme C_e (difüzyon + geçiş sığası) nin bilinmesi ile yapılabilir. Doğal olarak büyük I_c akımlarında çalışan devrelerin h_{ie} ve T_s 'leri küçük olacağı için hızları yüksek olur.

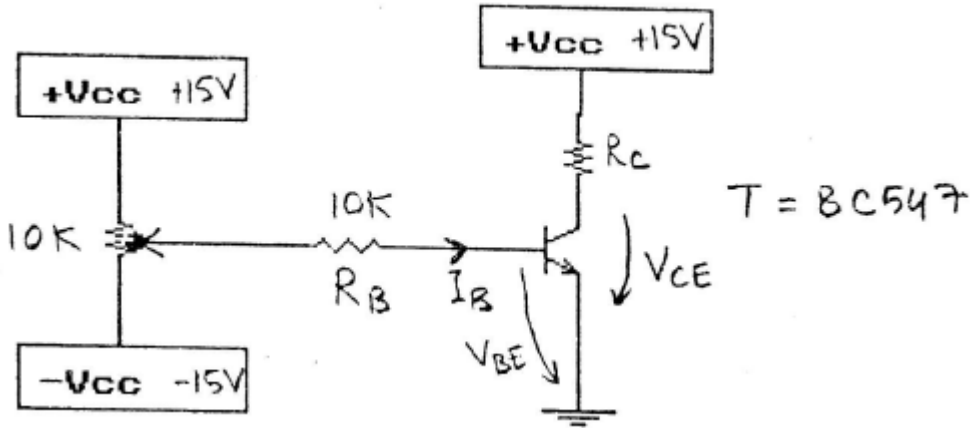
7. Deney Hazırlığı

1. Transistörle ilgili teorik bilgilerinizi tekrarlayınız.
2. Transistörün en popüler uygulama alanlarına örnek olarak yükselteç ve anahtarlama devreleri örnek olarak verilmektedir. Transistörün elektronik anahtar olarak kesim ve doyum bölgelerindeki çalışmasından yararlanılır. Bu bölgelerdeki özellikleri araştırınız.

3. Transistör hangi durumda açık anahtar gibi davranır, öğreniniz.
4. Transistör hangi durumda kapalı anahtar gibi davranır, öğreniniz.
5. Transistörün kararlılığını bozan faktörler neler olabilir, araştırınız.

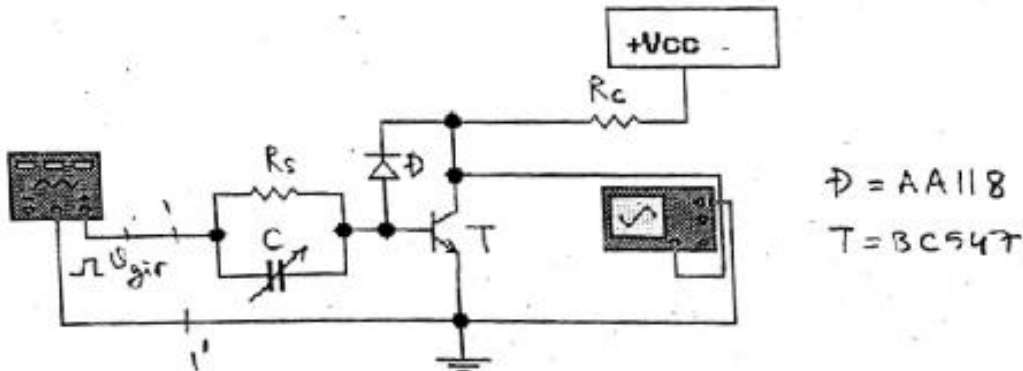
8. Deney Tasarımı ve Uygulaması

1. Şekil 11'de verilen devreyi $R_C = 1 \text{ k}\Omega$ değeri için kurunuz.
 - (a) Transistörü doymaya sokunuz ve doymada olduğunu 1. ve 2. Doyma kriterleri ile sağlayınız.
 - (b) Devreyi doyma eşiğine getiriniz. P potansiyometresinin bu değerinden $+15 \text{ V}$ 'a kadar I_{BS} , I_{CS} , V_{CES} 'yi adım adım ölçüp, h_{fe} 'nin ve V_{CES} 'nin I_{BS} ile değişim eğrisini çıkartınız ve çiziniz.
2. (a) Şekil 11'deki devrede $R_C = 100 \text{ k}\Omega$ yapınız ve transistörü kesime sokunuz. Bunu $V_{CE} = V_{CC}$ ve $I_C = 0$ olduğunu izleyerek görünüz. V_{BE} 'nin, $I_C = 0$ yapan en büyük değerini ölçünüz. Baz-emetör eklemeni zener kırılmasına sokup hala $I_C = 0$ olduğunu gözleyiniz.
 - (b) Transistörün bazını açık devre bırakarak devrenin kesimden bir miktar uzaklaştığını ve ısıl karasız olduğunu gözleyiniz.



Şekil 11

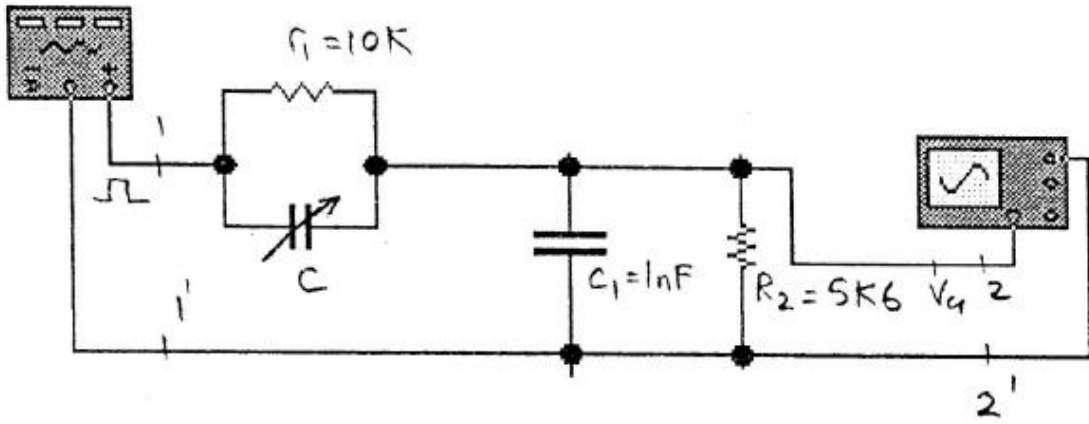
3. (a) Aşağıdaki devreyi $C = 0$ için kurup girişine 2 kHz 'de kare dalga uygulayın. Giriş ve çıkış dalga şekillerini alt alta çizip, düşme ve yükselme sürelerini ölçünüz.



Şekil 12

(b) Şekil 12'deki devreyi kurunuz. $R_s = 0$, $R_1=100\Omega$ ve 470Ω için C dengeleme sığası ile minimum düşme, yükselme zamanlarını elde ediniz. Düşme ve yükselme zamanlarını ölçünüz.

4. Şekil 1.a'daki anahtar devresini $R_c = 4.7k\Omega$, $R_s=1 k\Omega$ ve $100 k\Omega$ değerleri için kurup, girişine darbe üretici bağlayınız. Giriş-çıkış dalga şekillerini ve darbenin düşme, yükselme ve uzama sürelerini ölçerek çiziniz.
5. 4. şıktaki deneyi R_s direncine C kondansatörünü paralel bağlayarak yük dengelemesi yapınız. Aynı eleman değerleri ile yükselme, düşme ve darbe üstü uzamalarını ölçünüz ve 4 ile karşılaştırınız.
6. 5. şıktaki deneyi $R_c = 470 k\Omega$ direnci için tekrarlayınız. Sonuçta darbe üstü uzaması, düşme ve yükselme sürelerinde oluşan değişimleri açıklayınız.
7. Şekil 13'te verilen devreyi kurunuz. 5. şıktaki deneyi tekrarlayınız ve sonuçları karşılaştırınız.



Şekil 13

9. Deney Soruları

1. Çıkış yükü endüktif olan bir anahtar devresinde ne tür koruma tedbirleri alınmalıdır? Bu tedbirleri almamızın nedenleri nelerdir?
2. Şekil 10.a'daki devrede $V_{cc} = 15 V$, $R_c = 1 k\Omega$, $R_B = 5 k\Omega$ dur. Kullanılan transistörde $h_{FE} = h_{fe} = 50$, $T_s = 0.4 \mu s$ ve $T_b = 1.2 \mu s$. Transistörün baz gövde direncini ve eklem sığasını ihmal ediniz. Bazda depolanan toplam Q_T yükünü ve bu yükü dengeleyen C paralel kondansatörünü $V_1 = 5V$ 'tan sıfıra giden bir giriş darbesi için hesaplayınız.

10. Deney Raporu

1. Deneyde yapılan ölçümleri ve deneylerde elde ettiğiniz çıkış şekillerini ölçekli olarak ilgili devreleri de belirterek düzgün olarak çiziniz.
2. Transistörün dört bölge karakteristik eğrilerinin çıkarılması bize hangi bilgileri verir, kısaca açıklayınız.
3. Deney esnasında sorulan soruları ve cevaplarını belirtiniz.